

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-036553

(43)Date of publication of application : 17.02.1988

(51)Int.Cl.

H01L 27/04

G06F 15/60

H01L 21/02

H01L 21/82

(21)Application number : 61-180543

(71)Applicant : NEC CORP

NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 30.07.1986

(72)Inventor : INOUE TOMOKO

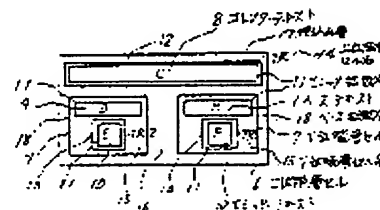
TSUTSUMI YASUO

(54) ELEMENT RECOGNITION SYSTEM OF ARTWORK DATA IN INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To recognize a plurality of active elements based on one cell of the active elements of the artwork data of ICs and LSIs for bipolar operations, by combining the names of the cells and the names of texts at lower levels in a hierarchy, which are included in a common region in alignment with the diffused patterns of the artwork data, and expressing the texts.

CONSTITUTION: As the artwork data of an integrated circuit, the name of the kind of each terminal and the names of the cells, which are the rectangular data of the artwork data, are referred, and the circuit is recovered. In this element recognition system, the names of the cells in the lower levels in a hierarchy, which are included in a common region, and the names of texts are combined in alignment with the diffused patterns of the artwork data, and the texts are expressed. A plurality of elements, which are included in one cell, can be recognized. For example, lower hierarchical level cells 7 are nested beneath upper hierarchical level cells 6. When the common region of transistors, which are formed at the hierarchical levels is a collector terminal having a text 8 of a collector 'C', the text is expressed as shown in the Figure.



上列セル番号

M 33 8 30セル番号

TR, CELL1; C, T

TR, CELL1; TR2, CELL2; 8, T
13 37 4

TR, CELL1; TR2, CELL2; E, T
210

TR, CELL1; TR3, CELL3; 8, T

TR, CELL1; TR3, CELL3; E, T
15 32. F. 1000000000

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑫ 特 許 公 報 (B 2)

昭 63 - 36553

⑬ Int. Cl.

G 06 F 15/332

識別記号

庁内整理番号

A-8320-5B

⑭ 公告 昭和63年(1988)7月20日

発明の数 1 (全7頁)

⑮ 発明の名称 並列型パイプライン高速フーリエ変換回路

⑯ 特 願 昭57-224675

⑰ 公 開 昭59-114675

⑱ 出 願 昭57(1982)12月21日

⑲ 昭59(1984)7月2日

⑳ 発 明 者 中 水 流 敏 朗 神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 京谷 四郎

審 査 官 丹 治 彰

㉓ 参 考 文 献 特開 昭57-134773 (J P, A)

「デジタル信号処理(上)」, 第308頁から第315頁, A. V. Oppenheim
他著, 伊達 玄訳, コロナ社, 昭和53年6月20日初版発行

1

㉔ 特許請求の範囲

1 正整数 r_1 と r_2 と P との間で r_2 と P との積が r_1 に等しく、 r_1 と r_2 との積で表される N 個のデータ点数の離散フーリエ変換を、 r_1 点離散フーリエ変換と r_2 点離散フーリエ変換とに分けて行うようになった並列型パイプライン高速フーリエ変換回路であつて、並列パイプライン処理する1個の r_1 点離散フーリエ変換回路と P 個の r_2 点離散フーリエ変換回路、 r_2 個の大きさのデータの並び換えを行うコーナターナ回路 P 個から構成される前段のコーナターナ回路群と、 r_2 個の大きさのデータの並び換えを行うコーナターナ回路 P 個から構成される後段のコーナターナ回路群、前段の離散フーリエ変換出力に乗算するひねり係数を保持する手段、及び該手段に保持されたひねり係数を乗算する r_1 個のひねり係数乗算手段を備え、上記1個の r_1 点離散フーリエ変換回路と P 個の r_2 点離散フーリエ変換回路とは、いずれか一方を前段離散フーリエ変換段、他方を後段離散フーリエ変換段として用いると共に、上記 P 個の前段コーナターナ回路は全体として N 個の被変換データを入力し、データの並び換えを行つて夫々 r_1 個ずつデータを順次上記前段フーリエ変換段に送り、上記 P 個の後段コーナターナ回路は上記前段フーリエ変換段から送られてきたデータの並び換えを行つて夫々

2

r_2 個ずつのデータを順次上記後段フーリエ変換段に送り、上記 r_1 個のひねり係数乗算手段は上記前段フーリエ変換段から上記 P 個のコーナターナ回路を通して上記後段フーリエ変換段に送られるデータの夫々に上記ひねり係数を乗算するように構成されたことを特徴とする並列型パイプライン高速フーリエ変換回路。

発明の詳細な説明

〔発明の技術分野〕

10 本発明は、データ処理装置に係り、離散フーリエ変換 (DFT; Discrete Fourier Transform) を前段の離散フーリエ変換と後段の離散フーリエ変換の2つのステージに分けて、並列パイプライン処理に基づいて実行する並列型パイプライン高速フーリエ変換回路に関する。

〔従来技術と問題点〕

20 第1図は $r \times r$ 点並列パイプライン高速フーリエ変換回路の従来例を示す図である。第1図において、1Aは前段コーナターナ回路、2Aと5Aは r 点DFT回路、3Aは後段コーナターナ回路、4Aはひねり係数乗算器群、6Aはひねり係数保持用ROMを示す。

25 $N = r \times r$ (但し、 r は正整数) という形式で表わされるデータ点数の離散フーリエ変換 (以下 DFT; Discrete Fourier Transform という) を

広ワイド並列パイプライン処理する方式は、従来提案されており、その従来方式の例を示したのが第1図である。

第1図において、前段コーナターナ回路1Aと後段コーナターナ回路3Aは、データ並び換え回路であつて、 $N(=r \times r)$ 個の入力データが r 個ずつ r 段にして並べて蓄積され、コーナターンして出力される。例えば前段コーナターナ回路1Aにおいて、最下段は右下から左に向つて0, 1, 2, …… $r-1$ 番のデータが蓄積され、次の段は右から左に向かつて $r, r+1, \dots, 2r-1$ が蓄積され、順次最上段は右から左に向かつて $(r-1)r, (r-1)r+1, \dots, r^2-1$ というように N 個のデータが蓄積されると、まず第1のクロックでは0, $r, 2r, \dots, (r-1)r$ 、次のクロックでは1, $r+1, 2r+1, \dots, (r-1)r+1$ のように順次コーナターンして r おきに並べ換えた r 個のデータが出力されるものである。 r 点DFT回路2Aは、前段コーナターナ回路1Aから r 個のデータが送られてくる毎に r 点DFTを実行するもので、その出力データが後段コーナターナ回路3Aに送られる。後段コーナターナ回路3Aは、前段コーナターナ回路1Aと同様に r 点DFT回路2Aから送られてきたデータを蓄積してコーナターンして出力するものであり、 r 点DFT回路2Aから送られてきたデータが N 個蓄積されると、次のクロックから順次コーナターンしたデータが後段コーナターナ回路からひねり係数乗算器群4Aを通して r 点DFT回路5Aに送られる。ひねり係数保持用ROM5Aは、ひねり係数乗算器群4Aで乗算すべきひねり係数が格納されている。 r 点DFT回路5Aでは、ひねり係数乗算器群4Aを通して r 個のデータが送られてくる毎に r 点DFTを実行し、 r 個の変換後のデータを出力する。したがつて、 r 点DFT2Aにおいて r クロックで前段の r 点DFTを実行し、次に r クロックで後段の r 点DFTを実行するので、前段コーナターナ回路1Aと後段コーナターナ回路3Aが次の N 個のデータも蓄積されるものである場合には、 N 点DFTを次々と連続して高速に実行することができる。

しかしながら、このような従来の方式では、 r^2 という形式で表わされるデータ点数の N 点DFTにしか使用できない。

〔発明の目的〕

本発明は、上記の考察に基づくものであつて、 $r_1 \times r_2 (r_1 = P \times r_2, \text{但し } r_1, r_2, P > 1 \text{ の整数})$ の形式で表わされるデータ点数の離散フーリエ変換を、前段 r_1 点離散フーリエ変換と後段 r_2 点フーリエ変換とに分けて実行する高速フーリエ変換において、同一のクロック周期で動作可能な並列型パイプライン高速フーリエ変換回路を提供することを目的とするものである。

〔発明の構成〕

上記の目的を達成するため、本発明の並列型パイプライン高速フーリエ変換回路は、正整数 r_1 と r_2 と P との間で r_2 と P との積が r_1 に等しく、 r_1 と r_2 との積で表される N 個のデータ点数の離散フーリエ変換を、 r_1 点離散フーリエ変換と r_2 点離散フーリエ変換とに分けて行うようになった並列型パイプライン高速フーリエ変換回路であつて、並列パイプライン処理する1個の r_1 点離散フーリエ変換回路と P 個の r_2 点離散フーリエ変換回路、 r_1^2 個の大きさのデータの並び換えを行うコーナターナ回路 P 個から構成される前段のコーナターナ回路群と、 r_2^2 個の大きさのデータの並び換えを行うコーナターナ回路 P 個から構成される後段のコーナターナ回路群、前段の離散フーリエ変換出力に乘算するひねり係数を保持する手段、及び該手段に保持されたひねり係数を乗算する r_1 個のひねり係数乗算手段を備え、上記1個の r_1 点離散フーリエ変換回路と P 個の r_2 点離散フーリエ変換回路とは、いずれか一方を前段離散フーリエ変換段、他方を後段離散フーリエ変換段として用いると共に、上記 P 個の前段コーナターナ回路は全体として N 個の被変換データを入力し、データの並び換えを行つて夫々 r_2 個ずつデータを順次上記前段フーリエ変換段に送り、上記 P 個の後段コーナターナ回路は上記前段フーリエ変換段から送られてきたデータの並び換えを行つて夫々 r_2 個ずつのデータを順次上記後段フーリエ変換段に送り、上記 r_1 個のひねり係数乗算手段は上記前段フーリエ変換段から上記 P 個のコーナターナ回路を通して上記後段フーリエ変換段に送られるデータの夫々に上記ひねり係数を乗算するように構成されたことを特徴とするものである。

〔発明の実施例〕

以下、本発明の実施例を図面を参照しつつ説明

する。

第2図は本発明の1実施例を示す図、第3図は32点DFTの場合についての本発明の具体的な実施例を示す図である。図において、1と1'は前段コーナターナ回路群、1-1ないし1-P、1-Xと1-Yは前段コーナターナ回路、2は r_1 点DFT回路、2'は8点DFT回路、3と3'は後段コーナターナ回路群、3-1ないし3-P、3-Xと3-Yは後段コーナターナ回路、4と4'はひねり係数乗算器群、5は r_2 点DFT回路群、5'は4点DFT回路群、5-1ないし5-Pは r_2 点DFT回路、5-Xと5-Yは4点DFT回路、6はひねり係数供給レジスタを示す。

本発明は、第2図に示すように、 $r_1 \times r_2$ 点 ($r_1 = r_2 \times P$; $r_1, r_2, P > 1$ なる正整数) 離散フーリエ変換 (DFT: Discrete Fourier Transform) を行うため、 r_1 点DFTのパイプライン幅と r_2 点DFTのパイプライン幅とが同一となるように、1個の r_1 点DFT回路2に対してP個の r_2 点DFT回路5-1ないし5-Pを並列に配置し、さらに r_1 点DFT回路2及びP個の r_2 点DFT回路群5へのデータ供給回路として大きさ r_2 の前段コーナターナ回路1-1ないし1-P及び後段コーナターナ回路3-1ないし3-Pを夫々並列に配置すると共に、後段コーナターナ回路群3と r_2 点DFH回路群5との間に r_1 個のひねり係数乗算器群4を配置したものである。このように構成することによって本発明は、パイプライン全体を同一クロックで動作させるようにしたものである。以下にDFTの計算式と対応させて第2図に示す回路の動作を説明する。

$N (= r_1 \times r_2)$ 点DFTの定義式は、次の式によって与えられる。

$$X(n) = \sum_{k=0}^{N-1} x_0(k) W_N^{nk} \quad (n=0, 1, \dots, N-1) \quad \dots\dots(1)$$

なお、 W_N は次のようなものである。

$$W_N = \exp(-\frac{2\pi}{N}j)$$

ここで、 $x_0(k)$ は変換されるデータ、即ち時間軸上でサンプルされた k 番目の値、 $X(n)$ は変換後のデータ、即ち周波数軸上で n 番目の値であつて、複素数で与えられるものである。上記の(1)式において、 $n = r_1 \times n_1 + n_0$ 、 $k = r_2 \times k_1 + k_0$ とお

くと次の式のように2次元的表現ができる。

$$X(n_1, n_0) = \sum_{k_0=0}^{r_2-1} \sum_{k_1=0}^{r_1-1} x_0(k_1, k_0) W_N^{r_1 n_1 k_1 + n_0 r_2 k_1 + k_0} \quad \dots\dots(2)$$

但し、 $n_1 = 0, 1, \dots, r_2 - 1$

$n_0 = 0, 1, \dots, r_1 - 1$

$k_1 = 0, 1, \dots, r_1 - 1$

$k_0 = 0, 1, \dots, r_2 - 1$

(2)式において、 $W_N^{r_1 n_1 k_1 + n_0 r_2 k_1 + k_0}$ は次のように置き換えられる。

$$W_N^{r_1 n_1 k_1 + r_1 n_1 k_0 + r_2 n_0 k_1 + n_0 k_0} = W_N^{r_1 n_1 k_1} W_N^{r_1 n_1 k_0} W_N^{r_2 n_0 k_1} W_N^{n_0 k_0}$$

そして、 $N = r_1 \times r_2$ であるから、

$$W_N^{r_1 n_1 k_1} = W_N^{n_1 k_1} = \exp(-\frac{2\pi}{N}j) N n_1 k_1 = 1$$

$$W_N^{r_1 n_1 k_0} = \exp(-\frac{2\pi}{r_1 r_2}j) r_1 n_1 k_0 = W_{r_2}^{n_1 k_0}$$

$$W_N^{r_2 n_0 k_1} = \exp(-\frac{2\pi}{r_1 r_2}j) r_2 n_0 k_1 = W_N^{n_0 k_1}$$

と置き換えられる。その結果(2)式は、

$$X(n_1, n_0) = \sum_{k_0=0}^{r_2-1} \sum_{k_1=0}^{r_1-1} x_0(k_1, k_0) W_N^{n_0 k_0} W_N^{n_0 k_1} W_{r_2}^{n_1 k_0} \quad \dots\dots(3)$$

と置き換えられ、(3)式に従つて次の3つのステップに分解できる。

$$x_1(n_0, k_0) = \sum_{k_1=0}^{r_1-1} x_0(k_1, k_0) W_N^{n_0 k_1} \quad (n_0 = 0, 1, \dots, r_1 - 1) \quad \dots\dots(4)$$

$$x_2(n_0, n_1) = \sum_{k_0=0}^{r_2-1} \{x_1(n_0, k_0) W_N^{n_0 k_0}\} W_{r_2}^{n_1 k_0} \quad (n_1 = 0, 1, \dots, r_2 - 1) \quad \dots\dots(5)$$

$$X(n_1, n_0) = x_2(n_0, n_1) \quad \dots\dots(6)$$

上記の(4)ないし(6)式から明らかなように、(4)式は、 k_0 を固定すると r_1 点DFTであり、(5)式は、 n_0 を固定すると r_2 点DFTである。即ち、第2図に示す r_1 点DFT回路2が(4)式の $k_0 = 0, 1, \dots, r_2 - 1$ に対して夫々 r_1 点DFTを実行するものである。そのために前段コーナターナ回路群1は、 $N (= r_1 \times r_2)$ 個のデータ列から r_2 個おきにデータを取り出し、 r_1 点DFT回路2へ $r_1 (= r_2 \times P)$ 個のデータを供給するものである。前段コーナター

ナ回路群 1 の x ($0 \leq x \leq P-1$) 番目の前段コーナターナ回路 1-1 ないし 1-9 の行列要素 (h_1, k_0) (但し、 $0 < h_1, k_0 \leq r_2-1$) に置かれるデータの通し番号は、

$$h_1 \times r_1 + r_2 \times x + k_0 = (h_1 P + x) \times r_2 + k_0$$

$$\text{但し } 0 \leq h_1 P-1, r_1 = r_2 \times P$$

となる。 $0 \leq h_1 < r_2-1, 0 \leq x \leq P-1$ の条件を考慮すると、 $k_1 = h_1 P + x = 0 \sim r_1-1$ となり、 P 個の前段コーナターナ回路 1-1 ないし 1-P は r_1 点 DFT に必要な、 $N (=r_1 \times r_2)$ のデータ列から r_2 おきにとつたデータ r_1 個を供給することができる。例えば前段コーナターナ回路 1-1 に置かれるデータの通し番号は、第 2 図に示す右下から左に向かって $0, 1, 2, \dots, r_2-1$ となり、次の上の段の右から左に向かって $r_1, r_1+1, \dots, r_1+(r_2-1)$ 、右下から右上に向かって $0, r_1, 2r_1, \dots, (r_2-1)r_1$ となる。又前段コーナターナ回路 1-P に置かれるデータの通し番号は、右下から左に向かって $r_1-r_2, r_1-r_2+1, \dots, r_1-1$ となり、右下から右上に向かって $r_1-r_2, 2r_1-r_2, \dots, r_2r_1-r_2$ となる。そして、(4) 式において、 $k_0 = 0$ とした場合には、前段コーナターナ回路 1-1 については通し番号 $0, r_1, 2r_1, \dots, (r_2-1)r_1$ のデータ、即ち $x_0(0, 0), x_0(P, 0), x_0(2P, 0) \dots x_0(r_2P-P, 0)$ 、又、前段コーナターナ回路 1-P については通し番号 $r_1-r_2, 2r_1-r_2, \dots, r_2r_1-r_2$ のデータ、即ち $x_0(P-1, 0), x_0(2P-1, 0), \dots, x_0(r_2P-1, 0)$ が r_1 点 DFT 回路 2 に供給される。そして r_1 点 DFT 回路 2 では、 $n_0 = 0, 1, \dots, r_1-1$ に対して夫々 r_1 点 DFT が実行され、その出力 $x_1(0, 0), x_1(1, 0), \dots, x_1(r_1-1, 0)$ が後段コーナターナ回路群 3 に供給される。そのうち、例えば $x_1(0, 0), x_1(1, 0), \dots, x_1(r_2-1, 0)$ が後段コーナターナ回路 3-1 に供給される。このように後段コーナターナ回路群 3 の夫々の後段コーナターナ回路 3-1 ないし 3-P には、 r_1 点 DFT 回路 2 の出力、

$$x_1(n_0, k_0); n_0 = 0, 1, \dots, r_2-1,$$

$$k_0 = 0, 1, \dots, r_1-1$$

$$x_1(n_0, k_0); n_0 = r_2, r_2+1, \dots, 2r_2-1,$$

$$k_0 = 0, 1, \dots, r_1-1$$

⋮
⋮

$$x_1(n_0, k_0); n_0 = (P-1)r_2, (P-1)r_2$$

$$+ 1, \dots, Pr_2-1, k_0 = 0, 1, \dots, r_1-1$$

が供給され、これらの出力が各後段コーナターナ回路 3-1 ないし 3-P でコーナターンされた後、ひねり係数乗算器群 4 で (5) 式の () 内に示されるひねり係数 $W^{n_0 k_0}$ が乗算される。そして対応する r_2 点 DFT 回路 5-1 ないし 5-P に供給され、(5) 式に示される r_2 点 DFT が実行され、変換後のデータ $x_2(n_0, n_1)$ が各 r_2 点 DFT 回路 5-1 ないし 5-P より r_2 組ずつ出力される。

32 (4×8) 点 DFT の場合についての具体的な実施例を示したのが第 3 図である。第 3 図において、前段コーナターナ回路群 1' に 0 ないし 31 の通し番号の入力データが供給される。前段コーナターナ回路 1-X と 1-Y の出力は、8 点 DFT 回路 2' の入力端子に第 3 図示の如く交互に並ぶ順で供給される。8 点 DFT 回路 2' の出力は、後段コーナターナ回路 3-X と 3-Y に供給される。後段コーナターナ回路 3-X と 3-Y のコーナターンした出力は、ひねり係数乗算器群 4' を通して 4 点 DFT 回路群 5' の入力端子に供給される。

次に動作を説明する。前後コーナターナ回路 1-X と 1-Y のデータ入力端子には、夫々 4 個ずつ合計 8 個ずつのデータが供給され、4 クロック (クロック数はコーナターナの大きさにより決まり、大きさが r であれば r クロック) で前段コーナターナ回路 1-X と 1-Y に計 32 個のデータが第 3 図示の如く蓄積される。そして次のクロックでは、データ番号 $0, 4, 8, 12, 16, 24, 28$ の 8 個のデータが出力され、さらに次のクロックでは、データ番号 $1, 5, 9, 13, 17, 25, 29$ の 8 個のデータが出力されるというように、順次 8 個ずつ、全データが 4 クロックで出力される。これらのデータの組は、32 点 DFT を 8 点 DFT と 4 点 DFT に分解して行う時の 8 点 DFT に供給すべきデータ組であり、8 点 DFT 回路 2' では、前段コーナターナ回路群 1' から 8 個のデータが送られてくる毎に 8 点 DFT を実行し、変換後のデータが後段コーナターナ回路群 3' に送り込まれる。4 クロックで第 3 図に示すように 32 個のデータが後段コーナターナ回路群 3' に蓄積されると、次のクロックで各後段コーナターナ回路 3-X と 3-Y のデータがコーナターンされて出力され、ひ

ねり係数乗算器群 4' を通し、ひねり係数が乗算されたデータが 4 点 DFT 回路 5-X と 5-Y に供給される。このようにして 4 クロックで 8 点 DFT を実行し、次の 4 クロックで 4 点 DFT を実行することにより、合計 8 クロックにより 32 点 DFT を実行することができる。

第 3 図に示す 32 点 DFT を数式により示すと (3) 式から次のようになる。

$$X(n_1, n_0) = \sum_{k_0=0}^3 \sum_{k_1=0}^7 x_0(k_1, k_0) W_8^{n_0 k_1} W_{32}^{n_0 k_0} W_4^{n_1 k_0}$$

そして、これを (4) ないし (6) 式のように 3 つのステップに分解すると次のようになる。

$$x_1(n_0, k_0) = \sum_{k_1=0}^7 x_0(k_1, k_0) W_8^{n_0 k_1} \quad (n_0 = 0, 1, \dots, 7)$$

$$\text{但し } W_8 = \exp(-j \frac{2\pi}{8}),$$

$$k_0 = 0, 1, 2, 3 \quad \dots (7)$$

$$x_2(n_0, n_1) = \sum_{k_0=0}^3 \{x_1(n_0, k_0) W_{32}^{n_0 k_0}\} W_4^{n_1 k_0} \quad (n_1 = 0, 1, 2, 3)$$

$$\text{但し } W_4 = \exp(-j \frac{2\pi}{4}),$$

$$W_{32} = \exp(-j \frac{2\pi}{32})$$

$$n_0 = 0, 1, \dots, 7 \quad \dots (8)$$

$$X(n_1, n_0) = x_2(n_0, n_1) \quad \dots (9)$$

上記のステップのうち、第 3 図に示す 8 点 DFT 回路 2' では、(7) 式において $k_0 = 0, 1, 2, 3$ とした 8 点 DFT が 1 クロック毎に実行される。そしてその出力に対してひねり係数乗算器群 4' で (8) 式の () 内のひねり係数 $W_{32}^{n_0 k_0}$ の乗算が行われる。4 点 DFT 回路 5-X では、(9) 式において $n_0 = 0, 1, 2, 3$ とした 4 点 DFT が 4 クロックの間に実行され、又、4 点 DFT 回路 5-Y では、(9) 式において $n_0 = 4, 5, 6, 7$ とした 4 点 DFT が 4 クロックの間に実行される。なお、第 3 図においては、特に (9) 式に示す出力データの整列を行つたものは示していない。

なお、ひねり係数乗算器群は、後段コーナター

ナ回路群の後方に設ける例を示したが、(5) 式から明らかなように後段コーナターナ回路群の前方に設けてもよいことはいうまでもない。

又、前段 DFT が r_1 点 DFT 回路、後段 DFT が P 個の r_2 点 DFT 回路で実行される構成例を示したが、(3) 式から明らかなように、(4), (5), (6) 式のように分解される 3 つのステップは、第 1 のステップとして r_2 点 DFT を実行し、第 2 のステップとして r_1 点 DFT を実行するようにも分解できる。したがつてその場合には当然のことながら、前段 DFT が P 個の r_2 点 DFT 回路で実行され、後段 DFT が 1 個の r_1 点 DFT 回路で実行されるように構成される。

〔発明の効果〕

以上の説明から明らかなように、本発明によれば、データ点数が $N = r_1 \times r_2$ ($r_1 = Pr_2$ 、但し $r_1, r_2, P > 1$ の整数) の形式で表わされる N 点 DFT を前段 r_1 点 DFT と後段 r_2 点 DFT とに分けて実行する高速フーリエ変換 (FFT; Fast Fourier Transform) において、同一クロック周期で動作させることができ、制御が簡単となり、又、バッファを設けることなくフーリエ変換を連続して行うことができる。

図面の簡単な説明

第 1 図は $r \times r$ 点並列型パイプライン高速フーリエ変換回路の従来例を示す図、第 2 図は本発明の 1 実施例を示す図、第 3 図は 32 点 DFT の場合についての本発明の具体的な実施例を示す図である。

1 と 1' ... 前段コーナターナ回路群、1 A, 1-1 ないし 1-P, 1-X と 1-Y ... 前段コーナターナ回路、2 A と 5 A ... r 点 DFT 回路、2 ... r_1 点 DFT 回路、2' ... 8 点 DFT 回路、3 と 3' ... 後段コーナターナ回路群、3 A, 3-1 ないし 3-P, 3-X と 3-Y ... 後段コーナターナ回路、4 A, 4 と 4' ... ひねり係数乗算器群、5 ... r_2 点 DFT 回路群、5' は 4 点 DFT 回路群、5-1 ないし 5-P ... r_2 点 DFT 回路、5-X と 5-Y ... 4 点 DFT 回路、6 A ... ひねり係数保持用 ROM、6 ... ひねり係数供給レジスタ。

図 3

デ-7 入力

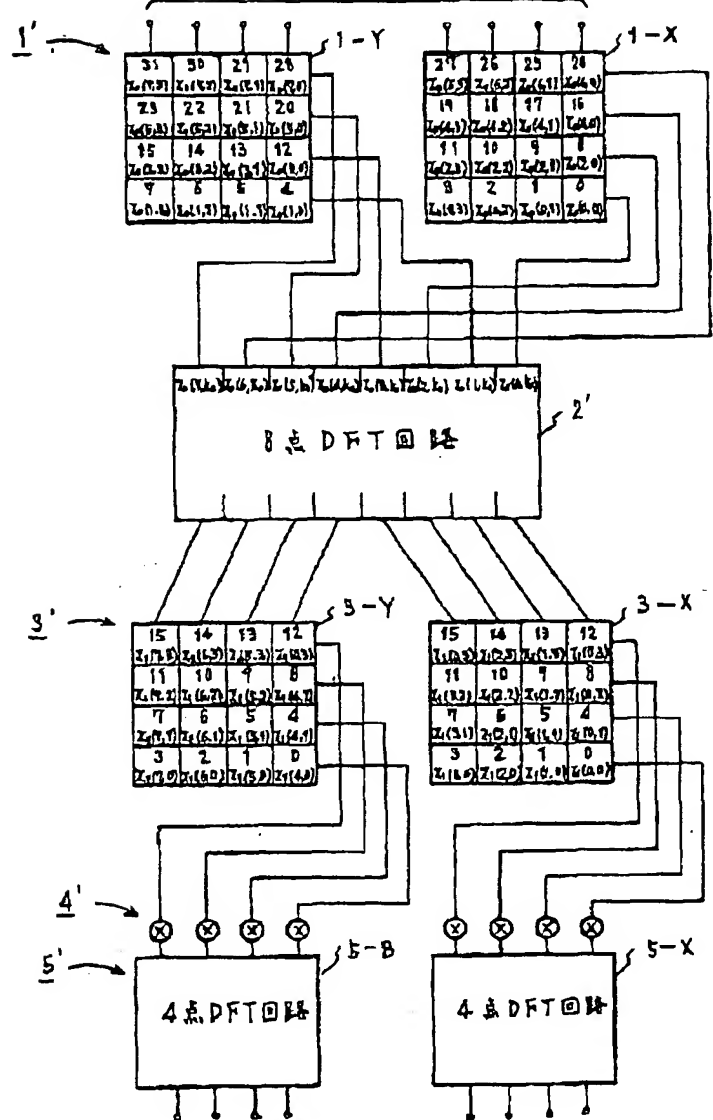
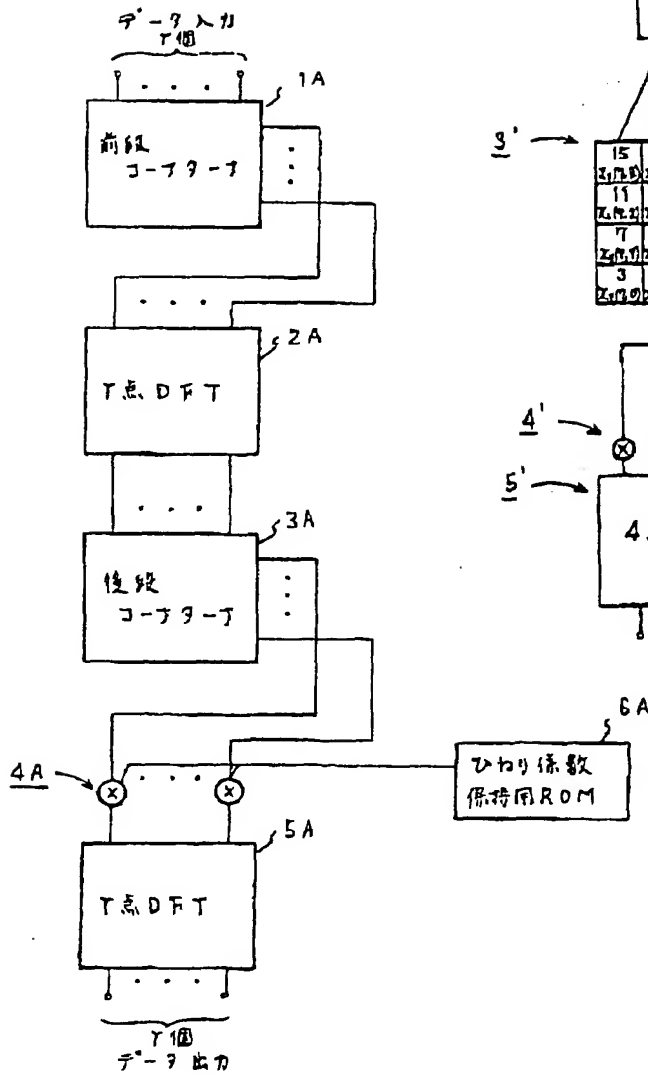


図 1



P 77-17

(7)

特公 昭 63-36553

才 2 図

